

一种集成电路测试流程分级动态调整方法

詹文法, 邵志伟

(安庆师范大学计算机与信息学院, 安徽安庆 246133)

摘 要: 针对集成电路测试过程中测试时间长, 影响测试效率的问题, 提出了一种集成电路测试流程分级动态调整方法. 通过统计样本集成电路中每种测试类型和每条测试向量的测试故障率来建立贝叶斯概率模型, 根据其命中故障点的概率高低分级调整它们的加载顺序. 随着测试的进行, 不断收集测试数据, 动态更新测试类型和测试向量的测试故障率, 同步调整测试类型以及测试向量的加载顺序. 实验表明, 使用动态调整后的测试流程可以更早的发现故障电路, 显著减少故障电路的测试时间, 提高测试效率. 本算法是完全基于软件的, 不需要增加硬件开销, 可以相容于传统的集成电路测试流程.

关键词: 自适应测试; 测试类型排序; 测试向量排序; 贝叶斯统计; 泊松分布

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112(2020)08-1623-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2020.08.022

Hierarchical Dynamic Adjustment Method for Integrated Circuit Testing Process

ZHAN Wen-fa, SHAO Zhi-wei

(School of Computer and Information, Anqing Normal University, Anqing, Anhui 246133, China)

Abstract: Aiming at the problem of long test time and affecting test efficiency in integrated circuit testing process, a hierarchical dynamic adjustment method for integrated circuit testing process was proposed. The Bayesian probability model was established by counting the test failure rate of each test type and each test vector in the sample integrated circuit, and the testing process is hierarchically adjusted according to the probability of their hit fault. With the test progressed, the test data was collected continuously, the test failure rate of test type and vector were updated dynamically, and their loading order was adjusted synchronously. The experimental results showed that the proposed method could significantly reduce test time and improve test efficiency. Furthermore, the proposed algorithm is completely based on software, no additional hardware overhead, and can be compatible with the traditional integrated circuit testing process.

Key words: adaptive test; test type reordering; test pattern reordering; Bayesian statistics; Poisson distribution

1 引言

集成电路制造工艺的快速进步使其集成的晶体管数目越来越多, 导致集成电路测试变得越来越困难, 迫切需要提高集成电路测试效率来达到减少测试成本的目的^[1,2]. 目前, 提高测试效率的方法主要有三种: 内建自测试方法^[3-5]、测试数据压缩方法^[6-8]、和自适应测试^[9-20]. 自适应测试是针对被测电路的不同开发不同的测试程序, 该方法存在着较好的自适应性能, 有着良好的应用前景.

在自适应测试方法中, 关于测试流程的排序研究主要分为两类, 测试类型的排序和测试向量的排序. 测试类型的排序主要是利用收集的测试数据来分析不同的测试类型对测试的影响^[18], 测试向量的排序主要是将向量按质量高低进行优先级排序, 将高质量的测试向量优先加载可以更早的命中故障电路^[10,11,20]. 这些方法有一定的效果, 但均不能保证得到的是最优顺序的测试向量.

本文提出一种分级动态调整测试类型和测试向量的方法, 基于故障概率模型动态地调整测试类型和测

收稿日期: 2019-07-27; 修回日期: 2020-01-21; 责任编辑: 马兰英

基金项目: 安徽省高校协同创新项目 (No. GXXT-2019-030); 安徽省技术带头人及后备人选 (No. gxbjZD2016075, No. 2015H053); 国家自然科学基金 (No. 61306046, No. 61640421)

试向量的顺序,将高质量的测试类型和测试向量优先加载,更早的命中故障电路,提高测试效率.本文方法可以直接相容于传统的集成电路测试流程,且不会增加硬件成本.

2 电路测试流程分级动态调整方法描述

2.1 主要思想

本文算法的主要思想是通过统计从测试设备中收集的故障检测数据,建立贝叶斯概率模型,计算每种测试类型和每条测试向量命中故障点数量大于0时的概率,根据概率高低对测试类型及向量的顺序进行调整,使测试流程达到最优水平.本算法对测试类型和测试向量的顺序进行了分级调整,无论在测试类型级别还是测试向量级别都进行了优先级排序.且对于同一种电路的测试,随着测试的进行,不断从测试设备中收集过往的故障检测数据,更新概率模型参数,动态地更新测试类型及向量的顺序,使测试流程在每个晶圆或批次之间保持在最优水平.

2.2 算法描述

本文算法是基于贝叶斯统计的应用,允许根据以往的数据不断修正并优化对以后的判断,具有良好的适应性^[22-24].在集成电路测试当中,电路发生故障这一事件是服从泊松分布的^[10,23].泊松分布的概率公式如(1)所示, X 是故障数的随机变量, x 表示存在故障的个数, λ 表示平均故障率.我们知道只要集成电路存在一个故障就可以判断它是故障电路,所以我们这里考虑 x 大于0时的情况.

$$P(X=x|\lambda) = \frac{\lambda^x e^{-\lambda}}{x!} \quad (1)$$

本文算法主要包括初始化、初步排序、动态调整三个步骤.设对于一个确定的集成电路的测试,需要运行的测试类型有: $Y_1, Y_2, \dots, Y_i, \dots, Y_n$;对于任一测试类型,其包含若干个确定的测试向量,设 Y_i 中包含的测试向量为: $V_{i1}, V_{i2}, \dots, V_{ij}, \dots, V_{im}$,其中 i, j, n, m 均为整数.

2.2.1 初始化

首先,从被测电路中随机选取不同批次、不同晶圆的样本电路,按某一顺序运行不同测试类型中的测试向量.这个顺序可以是客户要求,也可以是随机的.所有样本电路测试结束时,统计测试结果信息,记向量 V_{ij} 运行的总次数为 V_{ij} ,运行时其测到故障集成电路的次数为 N_{ij} .易知,对应的测试类型 Y_i 测到故障电路数为该类型中所有向量测到故障电路的和,即 $\sum_{j=1}^m N_{ij}$.

经过上述随机测试,虽然选取的样本有一定的代表性,但可能存在高质量的测试向量未运行的情况.为确保每条测试向量的运行次数足够多,将运行次数为0

或小于命中故障电路次数最大值的测试向量提到测试向量最前,重新运行测试.初始化步骤如图1所示,具体为:

步骤1 设置初始化参数 num ,该值最小为1,最大为 $\{N_{i1}, N_{i2}, \dots, N_{ij}, \dots, N_{im}\}$ 的最大值, num 的值决定最终的测试向量调整顺序的结果,值越大效果越好,一般情况下取 $\{N_{i1}, N_{i2}, \dots, N_{ij}, \dots, N_{im}\}$ 的最大值.

步骤2 判断是否有测试向量的运行次数小于 num ,若否,则结束;若是,提取运行次数小于 num 的测试向量,组成新的测试集进行测试,并更新测试向量的运行次数.

步骤3 结束.

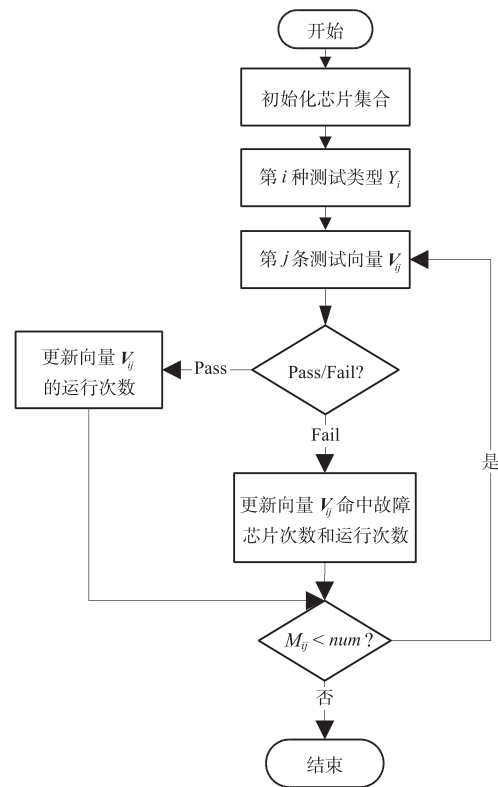


图1 初始化步骤流程图

初始化的目的是为了确每个测试向量都参与了测试,避免出现高质量的测试向量未使用的情况.初始化过程为先选再测,即先将所有小于 num 的向量全部提到前面,然后运行测试.不失一般性,假设此时统计到故障集成电路由测试向量 $V_{i1}, V_{i2}, \dots, V_{ij}, \dots, V_{im}$ 所测,对应的次数分别为 $N'_{i1}, N'_{i2}, \dots, N'_{ij}, \dots, N'_{im}$.很容易计算,任一测试类型 Y_i 检测到故障集成电路的次数为

$$\sum_{j=1}^m N'_{ij}$$

2.2.2 初步排序

不失一般性,对于确定测试类型 Y_i 的测试向量 V_{i1} ,

$V_{i2}, \dots, V_{ij}, \dots, V_{im}$ 对应的平均故障率分别为: $\frac{N'_{i1}}{M_{i1}}, \frac{N'_{i2}}{M_{i2}}, \dots, \frac{N'_{ij}}{M_{ij}}, \dots, \frac{N'_{im}}{M_{im}}$.

(1) 测试类型排序

步骤 1 已知测试类型 Y_i 命中故障电路的次数为

$\sum_{j=1}^m N'_{ij}$, 测试类型 Y_i 中测试向量总运行次数为 $\sum_{j=1}^m M_{ij}$,

所以测试类型 Y_i 的平均故障率为 $\lambda_i = \frac{\sum_{j=1}^m N'_{ij}}{\sum_{j=1}^m M_{ij}}$.

步骤 2 已知平均故障率 $\bar{\lambda}$, 根据式 (2) 我们需要计算 $P(x > 0)$, 为了简化计算可以转化为计算 $1 - P(x = 0)$, 同理得到测试类型 $Y_1, Y_2, \dots, Y_i, \dots, Y_n$ 对应的故障概率 $P(Y_i)$.

步骤 3 根据故障概率 $P(Y_i)$ 对测试类型 $Y_1, Y_2, \dots, Y_i, \dots, Y_n$ 重新排序, 得到新的测试类型顺序为: $Y'_1, Y'_2, \dots, Y'_i, \dots, Y'_n$.

$$P(X = x | \lambda_i) = \frac{\lambda_i^x e^{-\lambda_i}}{x!} \quad (2)$$

(2) 测试向量排序

不失一般性, 对任一测试类型 Y_i 的测试向量排序步骤如下:

步骤 1 已知测试向量 V_{ij} 命中故障电路的次数为 N'_{ij} , 总运行次数为 M_{ij} , 所以 V_{ij} 的平均故障率为 $\lambda_{ij} = \frac{N'_{ij}}{M_{ij}}$.

步骤 2 已知平均故障率 $\bar{\lambda}$, 根据式 (2) 我们需要计算 $P(x > 0)$, 为了简化计算可以转化为计算 $1 - P(x = 0)$, 得到测试向量 V_{ij} 对应的故障概率 $P(V_{ij})$.

步骤 3 根据故障概率 $P(V_{ij})$ 对测试向量 $V_{i1}, V_{i2}, \dots, V_{ij}, \dots, V_{im}$ 重新排序, 得到新的测试向量顺序 $V'_{i1}, V'_{i2}, \dots, V'_{ij}, \dots, V'_{im}$.

记 $Y'_1, Y'_2, \dots, Y'_i, \dots, Y'_n$ 即为初步排序后的测试类型的顺序, $V'_{i1}, V'_{i2}, \dots, V'_{ij}, \dots, V'_{im}$ 为初步排序后测试类型 Y'_i 的测试向量的顺序.

2.2.3 动态调整

当前已进行了部分集成电路的测试, 还有大量待测集成电路等待测试, 具体测试过程如图 2.

步骤 1 判断是否还有集成电路未测试, 若否则结束.

步骤 2 进行测试, 记录命中故障电路的测试向量和测试类型, 将此测试向量命中故障电路和运行次数的数量增加 1, 如式 (3), 最后根据初步排序的步骤重新计算测试类型和测试向量命中故障的概率 P .

$$\begin{aligned} N'_{ij} &= N'_{ij} + 1 \\ M_{ij} &= M_{ij} + 1 \end{aligned} \quad (3)$$

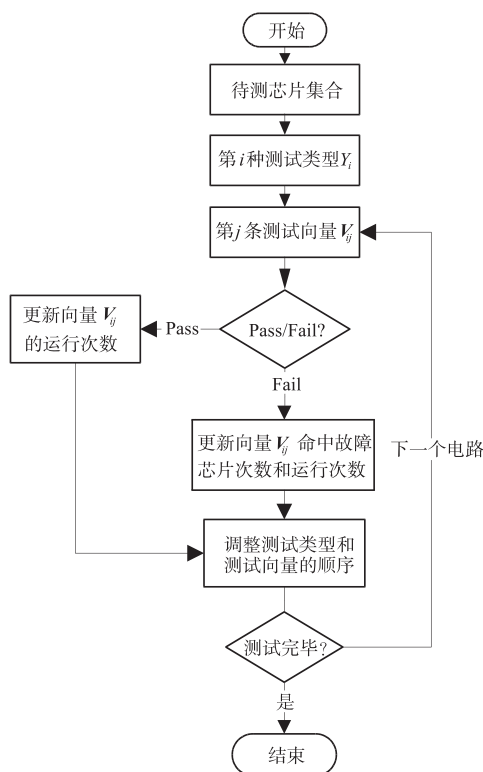


图2 动态调整流程图

步骤 3 根据向量命中故障概率 $P(V'_{ij})$ 判断向量 V'_{ij} 是否需要与它前一条测试向量 $V'_{i(j-1)}$ 交换位置, 重复此步骤直至不需要进行交换.

步骤 4 根据测试类型命中故障概率 $P(Y'_i)$ 的大小判断当前测试类型 Y'_i 是否需要与它前一的测试类型 Y'_{i-1} 交换顺序, 重复此步骤直至不需要进行交换.

步骤 5 结束.

按照初始化, 初步排序和动态调整三个步骤可以实现集成电路测试流程的分级动态调整. 需要指出的是测试类型和测试向量的调整可以同步进行, 也可以分开进行, 计算过程相对独立.

3 实验结果

为了验证本方法的有效性, 分别采用仿真实验和实际电路两方面来验证.

3.1 仿真实验

本文提出了一种测试流程质量评价方法, 已知同种测试类型内测试向量的运行时间相同, 对于某一电路, 测试类型 $Y_1, Y_2, \dots, Y_i, \dots, Y_n$ 对应的一条测试向量运行时间为 $t_1, t_2, \dots, t_i, \dots, t_n$, 每种测试类型中包含的测试向量数为 $m_1, m_2, \dots, m_i, \dots, m_n$. 设对于一个故障电路, 第 i 种测试类型中第 j 条测试向量可以命中其故障点, 那么故障检测时间 (FDT, Fault Detection Time), 指测试向量第一次检测到故障所需的时间, 计算方法如式 (4). 通过比较故

障检测时间就可以判断测试流程的好坏.

$$FDT = \sum_{i=1}^n m_{(i-1)} \times t_{(i-1)} + j \times t_i \quad (4)$$

为了验证本文方法的效果,使用 ISCAS 89 标准电路中规模较大的 s5378, s9234, s13207, s15850, s38417, s38584 和 ITC99 标准电路中 b15, b17, b20, b21, b22 作为实验电路,通过编程搭建电路仿真环境. 首先进行初始化步骤,随机产生 50 个晶圆,每个晶圆中包含 100 个待测电路,在每个待测电路中随机选取一个门随机注入固定 0、1 故障

作为初始化电路,对测试向量进行初步排序. 为了验证初步排序后的测试向量的测试性能,随机产生 100 个晶圆,每个晶圆包含 200 个待测电路,在每个待测电路中随机选取一个门随机注入固定 0、1 故障作为测试电路,使用原始测试向量和调整后的测试向量对测试电路进行 5 次测试. 表 1、表 2 所示分别为 ISCAS 89 电路和 ITC99 电路单固定故障模型下初步排序后的实验结果,5 次测试的故障检测时间平均分别减少了 39.21%、35.57%.

表 1 ISCAS 89 电路单固定故障模型测试向量初步排序后的实验结果

电路名称	门数量	测试向量数	电路数量		故障检测时间(t)				
					1	2	3	4	5
s5378	1004	258	20000	原始	44550	39169	38314	41000	34318
				排序	25782	21714	22239	22952	19249
s9234	2027	379	20000	原始	73640	65389	81272	67776	60654
				排序	45590	40110	46151	39008	35484
s13207	2573	480	20000	原始	71734	97362	61098	43561	67295
				排序	41779	58817	36786	24476	40868
s15850	3448	437	20000	原始	60147	56443	35229	55454	57494
				排序	39496	35470	20884	30935	32272
s38417	8709	919	20000	原始	85880	71868	70657	50271	64454
				排序	55642	50977	46391	32632	44762
s38584	11448	653	20000	原始	86501	84125	79665	64306	78960
				排序	53342	52502	49701	40662	49969
平均故障检测时间减少:					39.21%				
					38.31%	37.77%	39.61%	41.06%	39.30%

表 2 ITC99 电路单固定故障模型测试向量初步排序后的实验结果

电路名称	门数量	测试向量数	电路数量		故障检测时间(t)				
					1	2	3	4	5
b15	7544	598	20000	原始	81663	83527	91086	80224	97450
				排序	50920	48183	56290	47434	60929
b17	24091	1883	20000	原始	169084	330966	322926	226746	294363
				排序	110161	224940	229763	154641	208154
b20	12085	1165	20000	原始	90749	110766	104701	105253	101110
				排序	60590	69801	66387	65807	63612
b21	12188	1291	20000	原始	79680	63604	150661	92170	74949
				排序	50860	41386	98767	59472	46370
b22	17417	1451	20000	原始	69786	162667	72387	68940	116163
				排序	44981	108427	46587	45029	74252
平均故障检测时间减少:					35.57%				
					35.49%	35.92%	34.75%	36.06%	35.61%

为了进一步验证本文方法的稳定性,使用桥接故障模型重复以上实验,实验结果如表 3、表 4 所示. 需要指出的是,桥接故障本身具有多种方式,这里为了简化实验,注入时只对门的输入进行桥接. 表 3、表 4 所示分

别为 ISCAS 89 电路和 ITC99 电路桥接故障模型下初步排序后的实验结果,5 次测试的故障检测时间平均分别减少了 41.01%、37.65%.

表 3 ISCAS 89 电路桥接故障模型测试向量初步排序后的实验结果

电路名称	门数量	测试向量数	电路数量		故障检测时间(t)				
					1	2	3	4	5
s5378	1004	258	20000	原始	50118	44065	43104	51125	53232
				排序	28754	24754	23318	28696	29405
s9234	2027	379	20000	原始	82845	73562	91430	76248	68235
				排序	45289	42873	51669	44259	36919
s13207	2573	480	20000	原始	80701	109532	68734	49005	75706
				排序	47001	61169	39384	27535	42975
s15850	3448	437	20000	原始	77665	73498	69632	72385	64680
				排序	49432	46029	45494	44801	35430
s38417	8709	919	20000	原始	91615	80851	102863	86554	72510
				排序	54848	52349	65689	53710	46232
s38584	11448	653	20000	原始	69875	78093	69749	58229	89220
				排序	43755	45876	42525	34495	53976
平均故障检测时间减少:			41.01%		40.60%	40.60%	40.32%	41.08%	42.48%

表 4 ITC99 电路桥接故障模型测试向量初步排序后的实验结果

电路名称	门数量	测试向量数	电路数量		故障检测时间(t)				
					1	2	3	4	5
b15	7544	598	20000	原始	89829	81879	70194	98246	87195
				排序	53012	45601	41919	55177	52021
b17	24091	1883	20000	原始	145992	284062	295258	269720	163789
				排序	94177	187434	191739	172405	110969
b20	12085	1165	20000	原始	76823	111842	115171	85778	110221
				排序	46649	68781	73025	52387	68973
b21	12188	1291	20000	原始	97648	109964	125727	101287	82443
				排序	61946	69524	78643	62419	51007
b22	17417	1451	20000	原始	76764	138933	79625	75834	127779
				排序	49479	85269	51245	49531	81677
平均故障检测时间减少:			37.65%		37.57%	38.45%	37.01%	38.38%	36.84%

从表 1~4 中可知,使用经过本文算法排序后的测试集进行测试,可以显著缩短测试时间.同时,对比表 1,2 和 3,4 可知,对于同一电路的不同故障模型的测试向量进行排序同样可以缩短测试时间.

将本文方法与国际上同类方法在同等情况下比较,实验条件均保持不变.统计文献[10,11,20]中所用方法和本文方法所能减少的测试时间,为了提高实验的精度,均执行了 5 次后取平均,如图 3、图 4 分别是单固定和桥接故障模型下本文与其它三种方法对测试时间减少的比较.

如图 3,单固定故障模型下对于这 11 个电路,文献

[10,11,20]中方法的测试时间平均分别减少了 36.11%, 36.6%, 36.40%, 本文方法测试时间平均减少了 37.56%.对于这 11 个电路,本文方法的仿真实验结果除 b17 电路外,均在不同程度上优于文献[10,11,20].

如图 4,对于桥接故障模型,文献[10,11,20]中方法的测试时间平均分别减少了 37.29%, 38.15%, 38.10%, 本文方法测试时间平均减少了 39.48%.对于这 11 个电路,本文方法的仿真实验结果均在不同程度上优于文献[10,11,20].通过仿真实验结果可知,本文算法对于不同电路或不同故障模型下的测试向量进行排序后,均可以明显缩短测试时间.

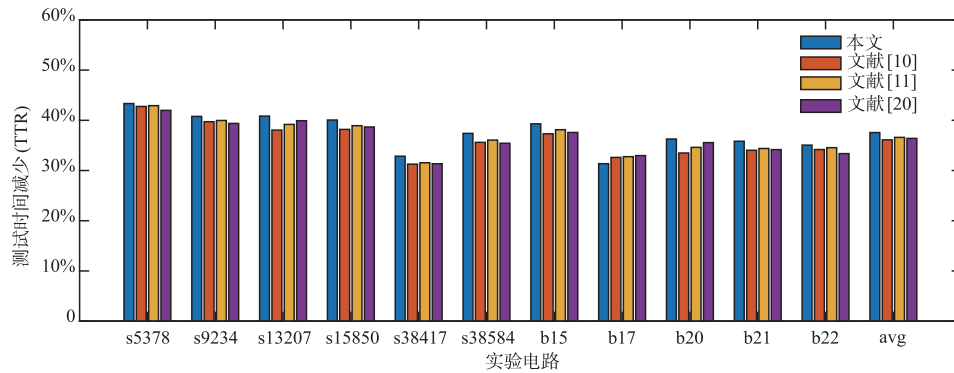


图3 单固定故障模型下减少测试时间比较

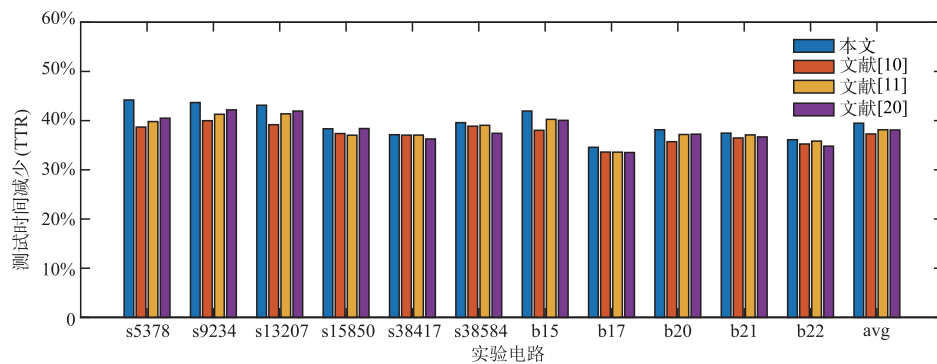


图4 桥接故障模型下减少测试时间比较

3.2 集成电路实验

集成电路实验采用池州华宇电子科技有限公司最近封装的 PMS131_S08A 数字电路,功能为 8×8 乘法器,使用 $0.5\mu\text{m}$ 低功耗 MTP/OTP 制程. 本批次共有集成电路 18202 颗,良品共 17849 颗,不良品共 353 颗,实验主要针对这 353 颗集成电路进行,测试基本信息如表 5 所示.

先比较测试类型顺序对测试时间的影响情况. 随机选 50 颗故障集成电路作为样本,只调整测试类型的顺序,排序后测试类型的顺序为:快速连续性测试、逻辑功能测试、OTP 测试和漏电测试,统计这 353 颗集成电路的测试时间减少到 36.968s,减少了 45.9% 的时间.

表 5 测试类型基本信息

测试类型	测试向量数
快速连续性测试(FAST CONTINUITY)	17
开短路测试(OPEN_SHORT)	/
漏电测试(LEAKAGE_TEST)	14
逻辑功能测试(ALL_LOGIC)	30 + 83443
OTP 测试	81669

进一步实验测试向量顺序调整对测试时间的影响,具体分析测试向量数最多的 OTP 测试,实验结果如

表 6. 客户给出的顺序依次是 HWID, RD, RD2_LV, 需要的时间是 15.875s, 按调整后的顺序为 RD2_LV, RD, HWID, 测试时间缩短为 12.071s.

表 6 同一测试类型调整测试向量顺序前后时间对比

调整测试向量顺序前			
向量顺序	单个时间(s)	向量运行次数	时间(s)
HWID	0.031	3	15.875
RD	0.015	14	
RD2_LV	0.094	108	
调整测试向量顺序后			
向量顺序	单个时间(s)	向量运行次数	时间(s)
RD2_LV	0.094	108	12.071
RD	0.015	14	
HWID	0.031	3	

最后,观察测试流程动态调整对测试时间的影响情况. 随机选 50 颗集成电路作为样本,对剩下的集成电路按动态调整方法来测试集成电路. 最终这 353 颗集成电路的测试时间减少到 32.172s,测试时间减少了 53.9%.

为了进一步验证本文方法有效性,实验采用池州华宇电子科技有限公司最近封装的 FP6601QS6 模拟集成电路,功能是由于 HiSilicon 快速充电协议 (FCP) 和 Qualcomm® QC 2.0 / 3.0 (QC 2.0 / 3.0) USB 接口的快

速充电协议控制器. 实验主要针对 FP6601QS6 封装后的 FT 测试,对某一周内的 4871 个不良品进行实验. 按客户要求测试的顺序是 OS, QC_3P0_Trim, QC_3P0_TBC, QC_3P0, 测试结果如表 7 所示,运行完这 4871 个不良品需要的时间是 1782.852s.

表 7 原始测试类型顺序的测试结果

测试类型	测试时间(s)	测试到不良品数
OS	0.024	1487
QC_3P0_Trim	0.068	269
QC_3P0_TBC	0.19	164
QC_3P0	0.286	2951

先比较测试类型顺序对测试时间的影响情况,排序后测试类型的顺序为 OS, QC_3P0, QC_3P0_Trim, QC_3P0_TBC, 测试时间如表 8 所示,测试时间缩短为 1251.792s.

表 8 调整测试类型顺序后的测试结果

测试类型	测试时间(s)	测试到不良品数
OS	0.024	904
QC_3P0	0.286	3965
QC_3P0_Trim	0.068	1
QC_3P0_TBC	0.19	1

最后,观察动态调整测试流程对测试时间的影响情况.仍随机选 50 颗集成电路作为样本,对剩下的集成电路按动态调整方法来测试集成电路,实验结果如表 9 所示,对每种类型的平均测试时间均有所减少,最终测试时间减少到 846.140s,减少了 52.54%.

表 9 动态调整测试流程的测试结果

测试类型	测试向量个数	类型平均测试时间(s)
OS	6	0.0144
QC_3P0	30	0.1716
QC_3P0_Trim	6	0.0476
QC_3P0_TBC	1	0.19

实验结果表明,本文算法适用于数字电路和模拟电路,具有较强的一般性.通过对测试流程的动态调整,可以有效缩短集成电路的测试时间.

4 结论

本文主要实现了测试流程当中测试类型以及测试向量顺序的自适应优化及调整.通过统计每种测试类型以及每条测试向量命中故障点的次数,计算对应的平均故障率,再根据概率公式计算对应测试类型或测试向量命中故障点的概率,根据命中故障点概率的高低调整测试类型以及测试向量的排序,从而缩短了测

试时间.本方法是完全基于软件的,不会增加任何硬件开销,可以直接相容于传统的集成电路测试流程.

参考文献

- [1] 王杰,梁华国,李华伟,闵应骅,李晓维.基于输出违例概率的时延向量测试质量评估[J].电子学报,2011,39(5):1031-1036.
WANG Jie, LIANG Hua-guo, LI Hua-wei, MIN Ying-hua, LI Xiao-wei. Test quality evaluation for delay test pattern based on output violation probability[J]. Acta Electronica Sinica, 2011, 39(5):1031-1036. (in Chinese)
- [2] 常郝,梁华国,蒋翠云,欧阳一鸣,徐辉.一种 3D 堆叠集成电路中间绑定测试时间优化方案[J].电子学报,2015,43(2):393-398.
CHANG Hao, LIANG Hua-guo, JIANG Cui-yun, OUYANG Yi-ming, XU Hui. Optimization scheme for mid-bond test time on 3D-Stacked ICs[J]. Acta Electronica Sinica, 2015, 43(2):393-398. (in Chinese)
- [3] 朱敏,杨春玲,孔德晶.模拟电路内建自测试故障特征提取与优化[J].仪器仪表学报,2013,34(1):200-207.
ZHU Min, YANG Chun-ling, KONG De-jing. Extraction and optimization of analog circuit built-in self test fault features[J]. Chinese Journal of Scientific Instrument, 2013, 34(1):200-207. (in Chinese)
- [4] 梁华国,李鑫,陈田,王伟,易茂祥.并行折叠计数器的 BIST 方案[J].电子学报,2012,40(5):1030-1033.
LIANG Hua-guo, LI Xin, CHEN Tian, WANG Wei, YI Mao-xiang. BIST scheme of parallel folding counters[J]. Acta Electronica Sinica, 2012, 40(5):1030-1033. (in Chinese)
- [5] XIANG D, CHEN M, FUJIWARA H. Using weighted scan enable signals to improve test effectiveness of scan-based BIST[J]. IEEE Transactions on Computers, 2007, 56(12):1619-1628.
- [6] 詹文法,吴琼,程一飞,吴海峰.嵌入广义折叠技术的集成电路测试数据压缩方案[J].计算机辅助设计与图形学学报,2017,29(8):1542-1548.
ZHAN Wen-fa, WU Qiong, CHENG Yi-fei, WU Hai-feng. Integrated circuit test data compression scheme built-in generalized folding technology[J]. Journal of Computer-Aided Design and Computer Graphics, 2017, 29(8):1542-1548. (in Chinese)
- [7] 邝继顺,周颖波,蔡烁.一种用于测试数据压缩的自适应 EFDR 编码方法[J].电子与信息学报,2015,37(10):2529-2535.
KUANG Ji-shun, ZHOU Ying-bo, CAI Shuo. Adaptive EFDR coding method for test data compression[J]. Journal of Electronics & Information Technology, 2015, 37(10):2529-2535. (in Chinese)

- [8] 陈田, 易鑫, 王伟, 刘军, 梁华国, 任福继. 一种低功耗双重测试数据压缩方案[J]. 电子学报, 2017, 45(6): 1382-1388.
CHEN Tian, YI Xin, WANG Wei, LIU Jun, LIANG Hua-guo, REN Fu-ji. Low power multistage test data compression scheme [J]. Acta Electronica Sinica, 2017, 45(6): 1382-1388. (in Chinese)
- [9] HAPKEF, MAXWELL P. Total critical area based testing [A]. 2018 IEEE International Test Conference (ITC) [C]. pp. 1-10. Phoenix: IEEE Press, 2018. 1-10.
- [10] GOTKHINDIKARK R, DAASCH W R, BUTLER K M, et al. Die-level adaptive test: Real-time test reordering and elimination [A]. 2011 IEEE International Test Conference [C]. Anaheim: IEEE Press, 2011. 1-10.
- [11] LING Y, TSAI K H, HUANG J L, et al. A test-application-count based learning technique for test time reduction [A]. 2015 VLSI Design, Automation and Test (VLSI-DAT) [C]. Hsinchu: IEEE Press, 2015. 1-4.
- [12] BODHES, POMERANZ I, AMYEEN M E, et al. Reordering tests for efficient fail data collection and tester time reduction [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 25(4): 1497-1505.
- [13] MARINISSENE J, SINGH A, GLOTTER D, et al. Adapting to adaptive testing [A]. 2010 Design, Automation and Test in Europe Conference and Exhibition (DATE 2010) [C]. Dresden: IEEE Press, 2010. 556-561.
- [14] NAHARA, BUTLER K M, CARULLI J M, et al. Quality improvement and cost reduction using statistical outlier methods [A]. 2009 IEEE International Conference on Computer Design [C]. Lake Tahoe: IEEE Press, 2009. 64-69.
- [15] INUYAMAS, ARAI M, IWASAKI K. Critical-area-aware test pattern generation and reordering [A]. 2016 IEEE 25th Asian Test Symposium (ATS) [C]. Hiroshima: IEEE Press, 2016. 191-196.
- [16] WUC H, LEE K J, REDDY S M. An efficient diagnosis-aware ATPG procedure to enhance diagnosis resolution and test compaction [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(9): 2105-2118.
- [17] REDDYK V, BHARATH M V, SUHAG A K, et al. Test vector reordering by using hybrid genetic algorithm-simulated annealing for lower switching activity [A]. 2018 4th International Conference on Computing Communication and Automation (ICCCA) [C]. Greater Noida: IEEE Press, 2018. 1-6.
- [18] BUTLERK M, SAXENA J. An empirical study on the effects of test type ordering on overall test efficiency [A]. Proceedings International Test Conference 2000 (IEEE Cat. No. 00CH37159) [C]. Atlantic: IEEE Press, 2000. 408-416.
- [19] YILMAZE, OZEV S, BUTLER K M. Per-device adaptive test for analog/RF circuits using entropy-based process monitoring [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 21(6): 1116-1128.
- [20] ARSLANB, ORAILOGLU A. Aggressive test cost reductions through continuous test effectiveness assessment [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2016, 35(12): 2093-2103.
- [21] GELMANA, CARLIN J B, STERN H S, et al. Bayesian Data Analysis [M]. New York: Chapman and Hall/CRC, 2013. 29-56.
- [22] KAPLAN S. On a "Two-Stage" bayesian procedure for determining failure rates from experimental data [J]. IEEE Transactions on Power Apparatus and Systems, 1983, (1): 195-202.
- [23] SHAFAGHIA. Equipment failure rate updating—Bayesian estimation [J]. Journal of hazardous materials, 2008, 159(1): 87-91.

作者简介



詹文法 男, 1978年生, 博士, 教授, 安庆师范大学硕士研究生导师, 主要研究方向为自适应测试、测试数据压缩等。
E-mail: zhanwf@aqnu.edu.cn



邵志伟 男, 2017年于安庆师范大学获得学士学位, 现为安庆师范大学硕士研究生, 主要研究方向为自适应测试算法。
E-mail: szv0421@qq.com